

**WEST****End of Result Set**

Generate Collection

L2: Entry 1 of 1

File: JPAB

Apr 4, 1987

PUB-NO: JP362073660A

DOCUMENT-IDENTIFIER: JP 62073660 A

TITLE: THIN-FILM TRANSISTOR DEVICE AND MANUFACTURE THEREOF

PUBN-DATE: April 4, 1987

## INVENTOR-INFORMATION:

NAME

COUNTRY

SHINPO, MASAFUMI

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

SEIKO INSTR &amp; ELECTRONICS LTD

APPL-NO: JP60212967

APPL-DATE: September 26, 1985

US-CL-CURRENT: 257/67; 438/158

INT-CL (IPC): H01L 27/12; H01L 29/78

## ABSTRACT:

PURPOSE: To mount a beam-annealed TFT and a TFT not annealed by beams easily in a consolidated manner by forming a first high-resistance thin-film, a first low-resistance thin-film and a second low-resistance thin-film in a polycrystal or a single crystal having grain size larger than a second high-resistance thin-film and shaping a first gate electrode by the same conductive film as a second gate electrode.

CONSTITUTION: An amorphous or polycrystalline high-resistance semiconductor thin-film 2 is deposited on an insulating substrate 1, and a polycrystalline or single crystalline first semiconductor thin-film 10 having large grain size is formed through beam annealing. A low-resistance semiconductor thin-film 3 containing an impurity is deposited, the low-resistance thin-film 3 on a channel region in a TFT 1 is removed, and the low-resistance semiconductor thin-film 3 is crystallized through second beam annealing while the impurity is diffused into the first semiconductor thin-film 10. The surface is etched selectively, leaving first source and drain regions 11, 12 in the TFT 1 and the first semiconductor thin-film 10 between the regions 11, 12 and second source and drain regions 111, 112 in a TFT 2. A second semiconductor thin-film 4 and an insulating film 5 are deposited continuously.

COPYRIGHT: (C)1987,JPO&amp;Japio

⑬ Int.Cl.<sup>4</sup>H 01 L 27/12  
29/78

識別記号

庁内整理番号

7514-5F  
8422-5F

⑭ 公開 昭和62年(1987)4月4日

審査請求 未請求 発明の数 2 (全7頁)

⑮ 発明の名称 薄膜トランジスタ装置とその製造方法

⑯ 特 願 昭60-212967

⑰ 出 願 昭60(1985)9月26日

⑱ 発 明 者 新 保 雅 文 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式  
会社内⑲ 出 願 人 セイコー電子工業株式 東京都江東区亀戸6丁目31番1号  
会社

⑳ 代 理 人 井理士 最 上 務

## 明 細 書

## 1. 発明の名称

薄膜トランジスタ装置とその製造方法

## 2. 特許請求の範囲

(1) 絶縁基板上に設けられた少なく共第1の薄膜トランジスタと第2の薄膜トランジスタを有する薄膜トランジスタ装置において、

第1の薄膜トランジスタは、前記基板上に設けられた第1高抵抗半導体薄膜より成るチャネル領域と、該領域に接し互いに離間した一導電型の第1低抵抗半導体薄膜より成るソース領域及びドレイン領域と、前記第1高抵抗半導体薄膜上に設けられた第1ゲート絶縁膜と、該絶縁膜上に設けられた第1ゲート電極とから少なく共成り、

第2の薄膜トランジスタは、前記基板上に互いに離間して設けられた一導電型の第2低抵抗半導体薄膜より成るソース領域及びドレイン領域と、前記ソース及びドレイン領域に接する第2高抵抗

半導体薄膜より成るチャネル領域と、前記第2高抵抗半導体薄膜上に設けた第2ゲート絶縁膜と、該絶縁膜上に形成した第2ゲート電極とから少なく共成り、

前記第2高抵抗薄膜は非晶質もしくは多結晶であり、前記第1高抵抗薄膜、第1低抵抗薄膜、第2低抵抗薄膜は前記第2高抵抗薄膜より粒径の大きい多結晶もしくは単結晶であり、

前記第1ゲート絶縁膜と同一の絶縁膜で形成され、

前記第1ゲート電極は前記第2ゲート電極と同一の導電膜で形成されていることを特徴とする薄膜トランジスタ装置。

(2) 前記第1ゲート絶縁膜は、前記第2高抵抗半導体薄膜と第2ゲート絶縁膜と同時に形成された2層膜である特許請求の範囲第1項記載の薄膜トランジスタ装置。

(3) 前記第1高抵抗半導体薄膜、第1低抵抗半導体薄膜、第2低抵抗半導体薄膜は、非晶質もしくは多結晶半導体薄膜をエネルギービームでアニー

ルされたものである特許請求の範囲第1項または第2項記載の薄膜トランジスタ装置。

(4) (a) 絶縁基板上に非晶質もしくは多結晶の高抵抗半導体薄膜を堆積し、エネルギービームで第1アニールをして粒径の大きい多結晶もしくは単結晶の第1半導体薄膜を形成する第1工程。

(b) 第1ソース領域及び第1ドレイン領域、また少なく共第2ソース領域及び第2ドレイン領域となる前記第1半導体薄膜の部分に一導電型不純物を選択的に添加する第2工程。

(c) 前記第1ソース領域と第1ドレイン領域及び該両領域にはさまれる前記第1半導体薄膜から成る第1チャンネル領域を含み前記第1半導体薄膜を島状領域として選択的に残すと共に、前記第2ソース領域及び第2ドレイン領域として前記不純物が添加された第1半導体薄膜を分離しかつそれぞれ残す第3工程。

(d) 非晶質もしくは多結晶で高抵抗の第2半導体薄膜を、連続して絶縁膜を堆積する第4工程。

(e) 前記島状領域上に第1ゲート電極を、前記

法。

(6) 前記第1アニールが第1ソース領域、第1チャンネル領域、第1ドレイン領域、第2ソース領域、第2ドレイン領域となるべき部分を少なく共含み、選択的に行なわれる特許請求の範囲第4項または第5項記載の薄膜トランジスタ装置の製造方法。

### 3 発明の詳細な説明

#### (産業上の利用分野)

本発明は、薄膜トランジスタ(TFT)装置、特に多結晶もしくは単結晶半導体薄膜をチャンネル領域をもつ第1のTFTと、より粒径の小さい多結晶もしくは非晶質半導体薄膜をチャンネル領域にもつ第2のTFTの2種のTFTを有する装置と、その製造方法に関するものである。

#### (発明の概要)

第1のTFTのチャンネル領域、ソース及びドレイン領域、さらに第2のTFTのソース及びドレイン領域にビームアニールされた半導体薄膜を

第2ソース領域及び第2ドレイン領域にはさまれた第2半導体薄膜上に第2ゲート電極を少なく共形成する第5工程。

より少なく共成り、前記第1ソース領域と第1ドレイン領域と第1チャンネル領域と第1ゲート電極とから成り、前記絶縁膜及び第2半導体薄膜をゲート絶縁膜とする第1トランジスタと、前記第2ソース領域と第2ドレイン領域と第2ゲート電極とから成り、前記第2半導体薄膜をチャンネル領域とし前記絶縁膜をゲート絶縁膜とする第2トランジスタを形成する薄膜トランジスタ装置の製造方法。

(5) 前記第2工程が、前記第1半導体薄膜上に一導電型低抵抗半導体薄膜を堆積する工程、少なく共前記第1チャンネル領域上の前記低抵抗半導体薄膜を選択的に除去する工程、エネルギービームによる第2アニールによつて前記低抵抗半導体薄膜を大粒径化すると共に第1半導体薄膜内に一導電型不純物を拡散させる工程より成る特許請求の範囲第4項記載の薄膜トランジスタ装置の製造方

法。第2のTFTは、その後堆積された第2半導体薄膜のチャンネル領域、その上のゲート絶縁膜及びゲート電極を有する。第1のTFTは、ゲート絶縁膜として第2半導体薄膜及び第2のTFTのゲート絶縁膜の2層膜を有している。このことにより、第2TFTのソースドレイン直列抵抗が小さくてきると共に、2種のTFTをもつTFT装置の製造が容易になる。

#### (従来の技術)

非晶質シリコン(a-Si)を用いたTFTは低温で大面積に形成できるため、液晶表示装置等に応用されつつある。しかし、a-Siのキャリア移動度が小さいため高速動作に限界があり、応用範囲が限られていた。これを解決するための手段として、レーザ光や電子線等のエネルギービームを用いたアニールによつてa-Siを結晶化することがある。第1図に、ビームアニールによるTFT1とa-Siを用いたTFT2を併載するTFT装置の断面例を示し、問題点につき説明する。ガラス、石英等の絶縁基板1上にTFT1は、

ビームアニールされた第1高抵抗半導体薄膜10、その上の第1低抵抗半導体薄膜からなる第1ソース領域11、第1ドレイン領域12、第1ゲート絶縁膜13、その上の第1ゲート電極14から成り、必要に応じて第1ソース配線31、第1ドレイン配線32が設けられる。ビームアニールの均一性向上や不純物再拡散を防止するため、最初に第1高抵抗薄膜10を形成することが望ましく、TFT1のこの構造例が最適なものの1つである。一方、TFT1と混成しやすい構造のTFT2は第2高抵抗半導体膜(a-Si膜)110上の第2低抵抗薄膜である第2ソース領域111、第2ドレイン領域と、第2ゲート絶縁膜113、第2ゲート電極114から成る。一般に第2低抵抗薄膜をa-Si膜で形成すると抵抗は充分小さくないので、その上に金属等の第2ソース電極121、第2ドレイン電極122が必要である。この構造例では第1ゲート絶縁膜13と第2ゲート絶縁膜113、第1及び第2ソース領域11、111と第1及び第2ドレイン領域12、112、第1ゲ

ート電極14と第2ゲート電極114はそれぞれ同時に形成できる利点があるが、次の様な問題がある。

(1) 第1高抵抗半導体薄膜10と第2高抵抗半導体薄膜110の厚みが異なるとき、同時に堆積できないので堆積工程が増えると共に、マスク工程が増える。

(2) 第2半導体薄膜110と第2ゲート絶縁膜113を連続して堆積できないので、TFT2の特性上問題がある。

(3) 第1低抵抗薄膜11、12にa-Si膜を用いると抵抗が大きく、TFT1の特性に問題がある。

(4) (3)の問題を避けるため第1低抵抗薄膜11、12をビームアニールすると、TFT2の第2ソース及びドレイン電極121、122をいつ形成するかが問題となり、やはり工程増につながる。

TFT2としてa-Si TFTで従来良く用いられるゲート電極が下の逆スタガー構造をとると堆積層数、マスク枚が増加してしまう。

#### 〔発明が解決しようとする問題点〕

本発明は叙上の問題点に鑑みてなされ、その目的は、ビームアニールされたTFTとそうでないTFTを混成しやすいそれぞれの構造とその製造方法を提供することである。上記2種のTFTの特性が充分良好にすることを他の目的として有する。

#### 〔問題点を解決するための手段〕

絶縁基板上に設けられた第1のTFTと第2のTFTを少なく共有するTFT装置に関し、第1のTFTは基板上の第1高抵抗半導体薄膜から成るチャンネル領域と、一導電型の第1低抵抗半導体薄膜より成る第1ソース領域と第1ドレイン領域と、前記第1高抵抗薄膜上の第1ゲート絶縁膜と、その上の第1ゲート電極とから少なく共成る。第2のTFTは、基板上に設けられた一導電型の第2低抵抗半導体薄膜より成る第2ソース領域と第2ドレイン領域と、両領域に接する第2高抵抗半導体薄膜によるチャンネル領域と、第2高抵抗半導体薄膜上の第2ゲート絶縁膜とその上の第2ゲート

電極とから成る。第2に高抵抗薄膜が非晶質もしくは多結晶であるのに対し、第1高抵抗薄膜、第1及び第2低抵抗薄膜はビームアニール等により第2高抵抗薄膜より粒径の大きい多結晶または単結晶になつている。また、第1ゲート絶縁膜は第2ゲート絶縁膜と同時に設けられた絶縁膜と第2高抵抗薄膜との2層膜から成り、第1ゲート電極と第2ゲート電極は同時に形成されている。

製造においては、絶縁基板上に高抵抗半導体薄膜を堆積してビームアニールし第1半導体薄膜を形成し、一導電型不純物を選択的に添加して第1ソース及びドレイン領域と第2ソース及びドレイン領域を設けて第1半導体薄膜を第1TFTの第1ソース及びドレイン領域とチャンネル領域と第2TFTの第2ソース及びドレイン領域を残すべく選択エッチする。次に、第2高抵抗半導体薄膜、絶縁膜を連続堆積し、さらに第1及び第2ゲート電極を形成する。

#### 〔作用〕

上記の様に第2TFTの第2ソース及びドレ

ン領域には粒径の大きい多結晶または単結晶を用いることができるので、直列抵抗の小さく良好な特性が得られると共に、第2図のTF T 2の如く金属から成る第2ソース電極121、第2ドレイン電極122を第2ソース及びドレイン領域111、112と同じ形状に設ける必要がない。第1高抵抗半導体薄膜とは独立に第2高抵抗半導体薄膜を堆積できるため、各厚みは各TF Tの最適な値を選ぶことができる。第2TF Tの第2高抵抗薄膜と第2ゲート絶縁膜は連続して堆積できるため、両者の界面の汚染や損傷に原因するしきい値電圧やオン電流のバラツキを低く抑えることができる。さらに、第1TF Tの第1ゲート絶縁膜には第2高抵抗半導体薄膜が付加されるが、一般には薄くて誘電率が大きくかつ第1高抵抗薄膜よりも数桁以上抵抗率が高いため充分第1ゲート絶縁膜の一部として使用できる。

#### (実施例)

以下に図面を用い本発明を詳述する。

##### a. 実施例1 (第1図)

チャンネル領域110より粒径が大きい多結晶か単結晶でビームアニール等で設けられる。第2チャンネル領域110 (第2高抵抗薄膜) は非晶質または粒径の小さい多結晶から成る。第1ゲート絶縁膜113は第2高抵抗半導体薄膜33と第2ゲート絶縁膜113と同時に堆積された絶縁膜23の2層膜から成る。第1及び第2ゲート電極114、114は同時に金属膜等で形成されているが、必要に応じてTF T 1の第1ソース配線31、第1ドレイン配線32、TF T 2の第2ソース配線131、第2ドレイン配線132も設けられている。また、第1及び第2ソース領域11、111や第1及び第2ドレイン領域12、112はビームアニールされた第1及び第2低抵抗半導体薄膜を用いるために抵抗が充分低く、必要に応じて金属等で設けられた第1及び第2ソース電極21、121や第1及び第2ドレイン電極22、122は前記各領域11、111、12、112の一部に接触していればよい。第2高抵抗半導体薄膜110、33は非常に薄いことがTF T 2の光特性及びTF T 1のゲ

第1図は本発明による第1TF T (TF T 1) と第2TF T (TF T 2) を混載したTF T装置の断面構造例である。ガラス、石英、絶縁膜コートした半導体や導体基板等の絶縁基板1上にTF T 1とTF T 2の2種が堆積されている。TF T 1は、基板1上に設けられた第1高抵抗半導体薄膜から成る第1チャンネル領域とその両側に設けたp型またはn型の第1低抵抗半導体薄膜から成る第1ソース領域11、第1ドレイン領域12と、第1チャンネル領域10上の第1ゲート絶縁膜13、その上の第1ゲート電極14から成っている。TF T 2は、基板1上に設けられ互に離間したp型またはn型の第2低抵抗半導体薄膜による第2ソース領域111、第2ドレイン領域112と、両領域に接する第2高抵抗半導体薄膜による第2チャンネル領域110と、その上の第2ゲート絶縁膜113及び第2ゲート電極114から成る。第1ソース及びドレイン領域11、12と第2ソース及びドレイン領域111、112は同導電型を有しており、第1チャンネル領域10と共に第2

ート電圧印加等の点で望ましく、例えば500 Å以下の値が選ばれる。一方第1高抵抗半導体薄膜10はTF T 1の必要特性と共にビームアニールされやすさからその厚みが選ばれ、例えば0.2〜0.5 μmに選ばれる。第1及び第2高抵抗半導体薄膜10、110 (33) の導電型や抵抗率は、TF T 1及び2の所望特性によつて選ばれる。

##### b. 実施例2 製造工程 (第3図)

第3図には本発明によるTF T装置の製造工程に沿つた断面図を示す。第3図(a)は絶縁基板1上に非晶質または多結晶の高抵抗半導体薄膜2を堆積し、ビームアニールして粒径の大きい多結晶または単結晶の第1半導体薄膜10を形成した状態を示す。高抵抗半導体薄膜2にはa-Si膜や多結晶Si膜が主に用いられる。ビームアニールには、Ar、YAG、エキシマーレーザ、電子線、ランプ、ヒーター等のエネルギービームが用いられ、第3図(b)の例では必要場所を選択的にアニールした例を示した。CWレーザや電子線等を用いる場合、選択アニールがスループット向上のために有効で

ある。第3図(c)は、不純物を含む低抵抗半導体薄膜3を堆積して、少なく共第1TFT(TFT1)のチャンネル領域上の低抵抗薄膜3を除去した状態を示す。不純物としてはP、As、Sb、B等が用いられ、低抵抗半導体薄膜3にはa-Si膜または多結晶Si膜が用いられ、厚みは100~1000Åである。第3図(d)は、第3図(c)の状態から再度ビームアニールして低抵抗半導体薄膜3を結晶化すると共に不純物を第1半導体薄膜10内に拡散し、さらに少なく共TFT1の第1ソース及びドレイン領域11、12とその間の第1半導体薄膜(チャンネル領域)10及びTFT2の第2ソース及びドレイン領域111、112を残して選択エッチした状態を示す。再度のビームアニールは、低抵抗半導体薄膜3が溶融しない様な低パワー、高走査速度で行なうことが不純物の横方向再分布を大きくしない上で望ましい。第3図(e)は、第2半導体薄膜4及び絶縁膜5を連続的に堆積した状態を示す。第2半導体薄膜4には例えばa-Si:H膜等を100~500Åの厚みで、絶縁膜5には例え

ばSiO<sub>2</sub>膜またはSiN<sub>x</sub>膜を1000~3000Åの厚みにプラズマCVD、光CVD等で堆積する。第3図(f)は、TFT1及びTFT2の完成断面図である。第3図(d)の状態から、必要部分例えば第1ソース及びドレイン領域11、12や第2ソース及びドレイン領域111、112に少なく共絶縁膜5にコンタクト開孔を設け、Al等の金属膜を堆積、選択エッチして、第1ゲート電極14、第2ゲート電極114、第1ソース及びドレイン配線31、32、第2ソース及びドレイン配線131、132を形成したものである。TFT1の第1ゲート絶縁膜13は絶縁膜5(25)と第2半導体薄膜4(33)の2層で、TFT2の第2ゲート絶縁膜113は絶縁膜5でのみ形成される。本装置に不要な第2半導体薄膜4は、前記コンタクト開孔時に除去できるし、または第3図(e)の状態後に第1及び第2ゲート電極13、113等金属膜をマスクにしても除去できる。

本例以外に、ソース及びドレイン領域の形成には不純物のイオン注入も利用できる。また第1半

導体薄膜10の抵抗率や導電率は、ビームアニール前または後のイオン注入によっても制御できる。

c. 実施例3(第4図)

第4図は、本TFT装置を液晶表示装置に適用した場合の構造断面例を示す。ビームアニールされたTFT1は例えば表示駆動の周辺回路に、a-Siを用いたTFT2は各画素部のスイッチに用いることができる。各画素電極はTFT2の第2ソース電極121としてITO等の透明導電膜で容易に形成される。第2ソース及びドレイン領域111、112を形成後、第2半導体膜110、33堆積前にITOを堆積、選択エッチして上記の第2ソース電極(画素電極)121、必要に応じ第2ドレイン電極122、第1ソース及びドレイン電極21、22を設けることにより可能である。本例では、不要な第2半導体薄膜(110、33)はコンタクト開孔時または表面保護膜7形成時に除去できる。この例では、TFT1の第1ドレイン配線32とTFT2の第2ゲート電極114を接続した構造を示した。

#### d. 実施例4(第5図)

第5図は第4図と同様、画素電極121を設けた例を示した。この例では、TFT1とTFT2の第1及び第2ドレイン領域12、112、第1及び第2ドレイン電極22、122、その配線32、132を連続させて接続させている。不要な第2半導体薄膜(110、33)は、コンタクト開孔時に除去した例である。

#### [発明の効果]

以上の様に本発明によれば、a-Siを用いた第2TFTの(第2)ソース及びドレイン領域は多結晶または単結晶Siを用いるので、オン抵抗の小さい良好な特性が得られると共に、金属電極の位置に従来例(第2図)の様な制約がない。そのため金属との反応のためTFT特性が劣化することが少ない利点をもつ。また、ビームアニールされた第1TFTの(第1)ゲート絶縁膜の一部に第2高抵抗半導体薄膜を挿入することにより、第2高抵抗半導体薄膜の選択エッチによる第1高抵抗半導体薄膜表面の損傷をなくすることができると

共に、マスク工程数も減少できる利点がある。さらに第2高抵抗薄膜は非常に薄いため、第2 TFTの遮光も不要にできる。この様な利点を有しているため、本発明は周辺駆動回路を同一基板上に有した TFT 液晶表示装置やイメージセンサ等 a-Si TFT と高速 TFT を混在する TFT 装置に最適である。

以上に主に、第2 TFT に a-Si を利用する例を述べてきたが多結晶 Si でもよい。また Si 薄膜を用いるだけでなく他の半導体薄膜を用いる場合、また第1高抵抗半導体薄膜と第2高抵抗半導体薄膜が異なる材料の場合にも適用される。

#### 4. 図面の簡単な説明

第1図は本発明による TFT 装置の構造断面図、第2図は従来技術による TFT 装置の断面図、第3図(a)~(e)は本発明による TFT 装置の製造工程順断面図、第4図及び第5図はそれぞれ本発明による TFT 装置の応用例の断面図である。

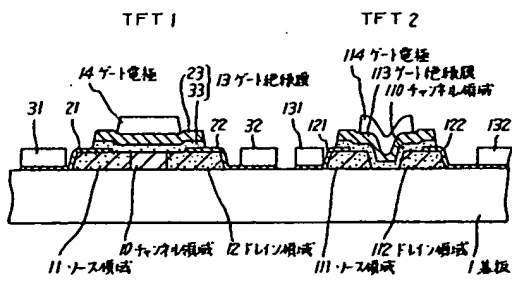
1…絶縁基板 10…第1高抵抗半導体薄膜ま

たは第1チャンネル領域 11…第1ソース領域  
12…第1ドレイン領域 13…第1ゲート電極  
14…第1ゲート電極 110…第2高抵抗半導体  
薄膜または第2チャンネル領域 111…第2ソ  
ース領域 112…第2ドレイン領域 113…第2ゲ  
ート絶縁膜 114…第2ゲート電極

以上

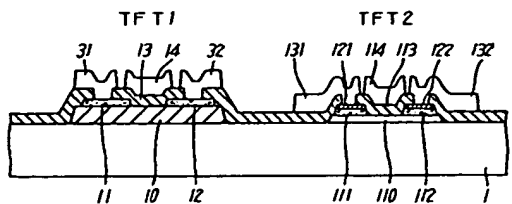
出願人 セイコー電子工業株式会社

代理人 弁理士 最上 務



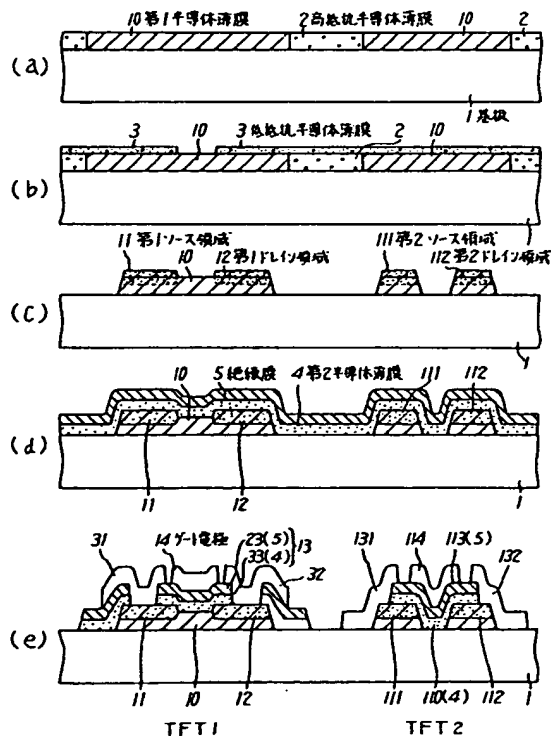
本発明による TFT 装置の構造断面図

第1図



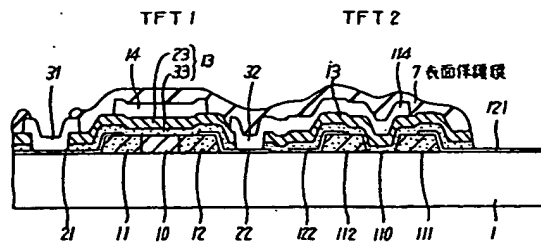
従来の TFT 構造断面図

第2図

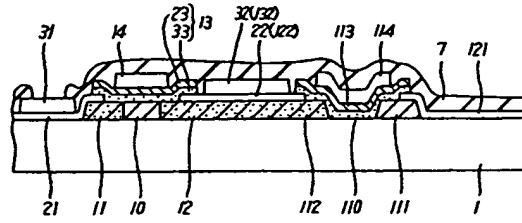


本発明による製造工程順断面図

第3図



第 4 図



本発明による TFT 装置の応用例の断面図

第 5 図